

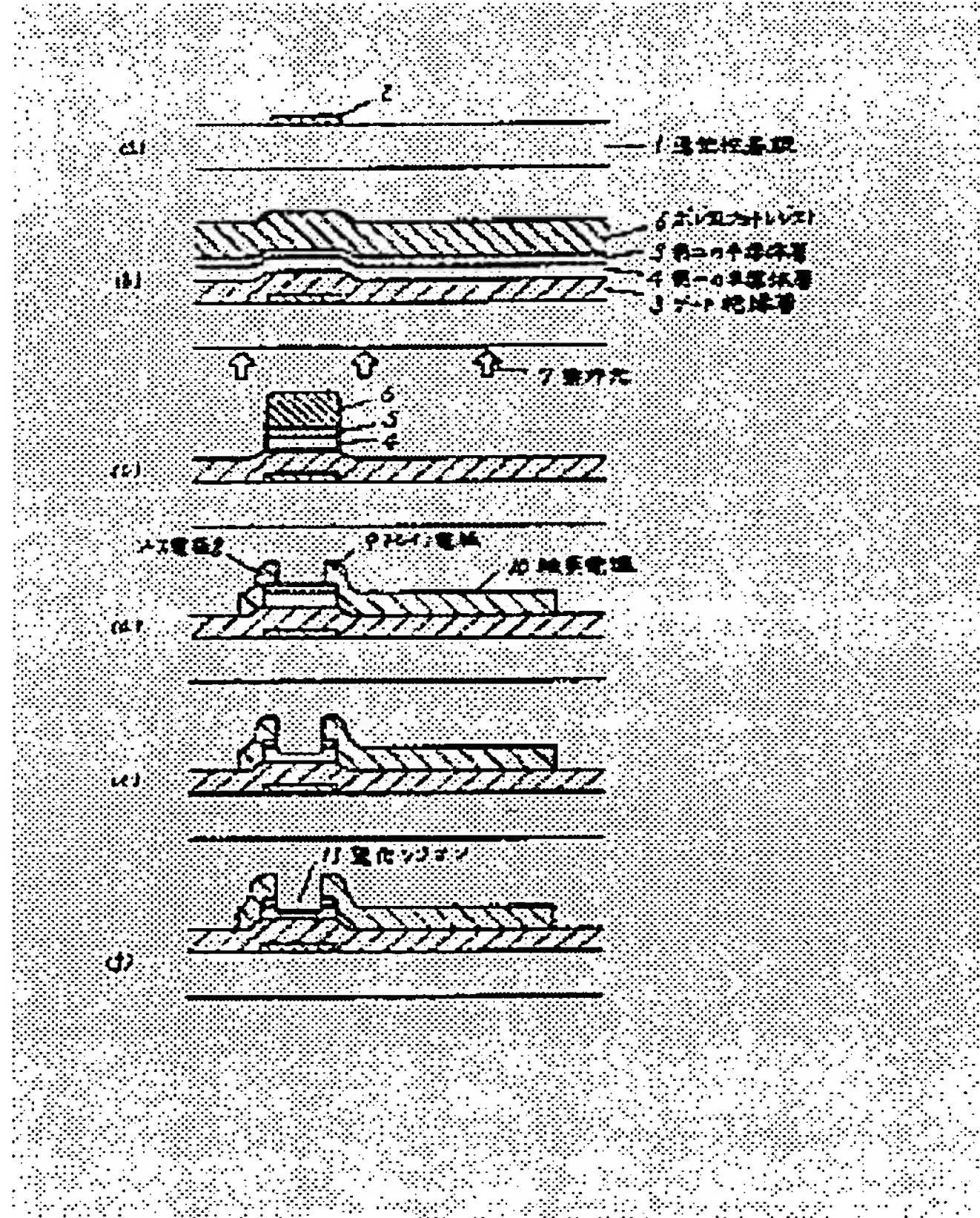
MANUFACTURE OF ACTIVE MATRIX SUBSTRATE AND MANUFACTURE OF DISPLAY DEVICE

Patent number: JP3116778
Publication date: 1991-05-17
Inventor: TSUTSU HIROSHI; KAWAMURA TETSUYA; MIYATA YUTAKA;
FURUTA MAMORU
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: H01L27/12; H01L27/12; (IPC1-7): H01L27/12; H01L29/784
- european:
Application number: JP19890253316 19890928
Priority number(s): JP19890253316 19890928

[Report a data error here](#)

Abstract of JP3116778

PURPOSE: To stabilize a semiconductor layer surface which is sensitive to atmosphere and to form an active matrix of good OFF characteristics at a low cost by nitriding or oxidizing the semiconductor layer surface. **CONSTITUTION:** A conductor thin film such as Cr is applied on a glass substrate 1 to form a gate electrode 2. A gate insulator layer 3 such as silicon nitride and a semiconductor layer 4 which hardly contains first impurity such as amorphous silicon are deposited; then, a second semiconductor layer 5 including impurity such as a-Si which is doped with phosphorus is deposited successively. Thereafter, positive photoresist 6 is applied thereon. When ultraviolet light 7 is irradiated from the rear of the glass substrate 1 using the gate electrode 2 as a mask to expose resist to light and to develop it, resist excepting an area corresponding to the gate electrode 2 is removed. Exposed parts of a first semiconductor layer 4 and a second semiconductor layer 5 are removed, a thin film is applied, patterning is carried out, and a source electrode 8, a drain electrode 9 and a picture element electrode 10 are formed in one operation. Then, n<+>-a-Si of a channel part is removed. Lastly, the semiconductor layer surface is nitrided by plasma discharge and silicon nitride 11 is formed on the semiconductor layer surface to complete an active matrix substrate.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP) (11) 特許出願公開
 (12) 公開特許公報 (A) 平3-116778

(5) Int. Cl. 5 H 01 L 27/12 29/784	識別記号 A	庁内整理番号 7514-5F	(3) 公開 平成3年(1991)5月17日 9056-5F H 01 L 29/78 3 1 1 N 審査請求 未請求 請求項の数 7 (全7頁)
--	-----------	-------------------	--

(4) 発明の名称 アクティブマトリクス基板の製造方法と表示装置の製造方法

(21) 特願 平1-253316
 (22) 出願 平1(1989)9月28日

(7) 発明者 筒 博 司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(7) 発明者 川 村 哲 也	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(7) 発明者 宮 田 豊	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(7) 発明者 古 田 守	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(7) 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
(7) 代理人 弁理士 栗野 重孝	外1名	

明細書

1. 発明の名称

アクティブマトリクス基板の製造方法と表示装置の製造方法

2. 特許請求の範囲

- (1) 透光性基板上に、不透光性導電材料を選択的に被着形成した第一の導電層を形成する工程と、前記基板表面の露出面及び前記第一の導電層を絶縁体層で覆う工程と、前記絶縁体層上の特定領域を半導体層で覆う工程と、前記半導体層と一部重なり合う一対の第二の導電層を形成する工程からなるアクティブマトリクス基板の製造方法において、前記半導体層の形成工程が、前記絶縁体層上に半導体層を被着する工程と、前記半導体層を選択的にエッチング除去する工程と前記半導体層表面を窒化或は酸化する工程からなることを特徴とするアクティブマトリクス基板の製造方法。
- (2) 半導体層は不純物を殆ど含まない第一の半導体層と少なくとも不純物となるP、As、BまたはAlのうち少なくとも1種類以上の元素を含む

第二の半導体層を被着する工程と前記第二の導電層を選択的に被着形成後、前記第二の半導体層の露出部及び前記第一の半導体層の一部を選択的に除去する工程を含むことを特徴とする請求項(1)記載のアクティブマトリクス基板の製造方法。

(3) 第一の半導体層は膜厚が概ね1000Å以下であり、かつ、前記第二の半導体層の膜厚が概ね500Å以下であることを特徴とする請求項(2)記載のアクティブマトリクス基板の製造方法。

(4) 第一の半導体層の一部を除去後の膜厚が概ね300Å以上であることを特徴とする請求項(3)記載のアクティブマトリクス基板の製造方法。

(5) 第一の半導体層の一部及び前記第二の半導体層を除去する工程がドライエッチングで行われる工程であることを特徴とする請求項(4)記載のアクティブマトリクス基板の製造方法。

(6) ドライエッチングがCF₄、CHF₃、CCl₄、C₂F₆、C₂ClF₅、C₂Cl₂F₄またはSF₆のうち少なくとも1種類以上のガスを含む反応ガスでドライエッチングされることを

特開平3-116778 (2)

特徴とする請求項(5)記載のアクティブマトリクス基板の製造方法。

(7) 請求項(1)記載の製造方法で製造したアクティブマトリクス基板と透明電極を有する対向基板間に光学異方性を有する材料を挟持する工程と前記両基板の少なくとも一方には偏光板を配置する工程を含む表示装置の製造方法において、前記対向基板をマスクとして前記アクティブマトリクス基板の絶縁体層の露出部を食刻する工程を含むことを特徴とする表示装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、映像表示用液晶テレビやコンピュータ端末用ディスプレイ等で用いられる表示装置の製造方法、特にそれに用いられるアクティブマトリクス基板の製造方法に関するものである。

従来の技術

近年、画像表示装置の平面化への期待が高まっており、特に液晶を用いたフラットディスプレイ分野の研究開発は非常に活発に行われている。そ

の中でも能動素子を二次元のマトリクス状に配置したアクティブマトリクス基板と液晶を組み合わせたアクティブマトリクス型液晶表示素子は商品化も進められ有望視されている。第6図はその等価回路を示し、18は薄膜トランジスタ (Thin Film Transistor: TFTと以下略記する)、19は液晶セル、20は走査信号線、21は映像信号線である。走査信号線20にTFT18がONするように順次ゲート信号を印加し、映像信号線21よりゲート1ラインに対応した映像信号を液晶セル19に書き込ませる線順次走査によってCRTと同等の機能が賦与される。

TFT18は比較的低温で大面積に堆積が可能な非晶質シリコンを半導体層として用いる場合が多い。しかしながら、アクティブマトリクス基板を用いた液晶表示装置はTFTを作り込まなければならないコストが高いのが最も大きな欠点である。現在はコスト高を克服するため、構造及び工程の簡略化や冗長性の研究も盛んである。本発明者らも以前にわずか2枚のフォトマスクを用い

て製造可能なアクティブマトリクス基板の製造方法として例えば、特願平1-70891号で出願中である。この2枚マスクで作成可能なアクティブマトリクス基板について説明する。第4図はこの従来例の平面図を示し、第5図は第4図に示され、アクティブマトリクス型液晶表示装置の単位絵素のA-A'線上の概略断面図である。第7図は、従来例の工程を追って図示したものである。これらの図において番号が同じものは同じものを指す。

透光性基板1として例えばコーニング社製#7059ガラス基板上に、Cr等の導電体薄膜をスピッタリング法により被着し、所望のパターニングを施してゲート電極2とする。(第7図(a))。プラズマCVD法により、ゲート絶縁体層3として例えば窒化シリコン(以下SiN_xと略記する)、第一の不純物を殆ど含まない半導体層4として例えば非晶質シリコン(以下a-Siと略記する)を1000Åの膜厚で堆積し、焼いて不純物を含む第二の半導体層5として例えばリンをドープしたa-Si(以下n⁺-a-Siと略記する)を500

Åの膜厚で連続して堆積後、ポジ型フォトレジスト6を塗着する(第7図(b))。レジストをプリベーク後、ゲート電極2をマスクとしてガラス基板1の裏面より紫外光7を照射してレジストを感光させる。この裏面露光した基板を現像すると、ゲート電極2に対応する部分以外のレジストは除去される。レジストをポストベーク後、このレジストをマスクとして第一の半導体層4及び第二の半導体層5の露出部をエッチングにより除去する(第7図(c))。レジストを除去した後、例えばITO(Indium-Tin-Oxide)等の透明導電材料となる薄膜を被着し、パターニングして、ソース電極8、ドレイン電極9及び絵素電極10を一括して形成する(第7図(d))。そして最後にチャネル部のn⁺-a-Siをリアクティブ・ドライ・エッチング(以下RIEと略記する)で除去する(第7図(e))とアクティブマトリクス基板が完成する。なお、この場合n⁺-a-Siも約500Å残す深さまでRIEによって掘り下げている。

この後、上述のアクティブマトリクス基板と一

特開平3-116778(3)

主面上に対向透明電極13を被着したガラス基板12の両方に液晶の配向膜14としてポリイミド樹脂を塗布して硬化させた後、配向処理を行い、液晶16として例えばツイスティッド・ネマティック液晶を両基板間に封入し、さらに上下に偏光板17を配置すれば液晶表示装置が完成される。

発明が解決しようとする課題

上記のような製造方法でアクティブマトリクス基板を製造すると、TFTの半導体層が露出している。半導体層は雰囲気に対して非常に敏感なため、半導体層表面の処理条件によっては半導体層表面近傍が非常に不安定になる。例えば、第8図は洗浄後窒素雰囲気中で160°Cで20分アニールの有無によるトランジスタ特性を示しているが、アニールの無いものではOFF電流が増加していることがわかる。トランジスタのOFF電流が増加すると映像信号のホールド特性が悪化し、画質が劣化するという課題を有していた。

また、上記実施例は工程を簡略化したためであり、薄膜の堆積回数及びフォトリソグラフィー工

程の回数を増やすならば半導体層上に、例えば窒化シリコン等の絶縁物を形成して(図示はしない)雰囲気に対する感受性の高い半導体層を露出させないことが可能ではある。しかしながら、この方法では、薄膜の堆積及びフォトリソグラフィー等の工程数が大幅に増加してしまうためコストが高くなるという課題を有していた。

本発明は、上記の課題に鑑み、低コストを維持したまま、半導体層表面を安定化するアクティブマトリクス基板の製造方法及び画質の良い液晶表示装置の製造方法を提供するものである。

課題を解決するための手段

本発明は上述の課題を解決するために、透光性基板上に、不透光性導電材料を選択的に被着形成してなるゲート電極もしくはゲート電極と島状導電体層と、前記基板表面の露出面及びゲート電極もしくはゲート電極と島状導電体層を覆う絶縁体層と、前記絶縁体層上の特定領域を置う半導体層と、前記半導体層のソース電極及びドレイン電極とを順次形成するアクティブマトリクス基板の製

造方法において、半導体層表面を窒化或は酸化することにより半導体層表面を安定化させる。

作用

本発明は上述の方法により、半導体層表面を窒化或は酸化することにより雰囲気に敏感な半導体層表面を安定化させ、低成本でOFF特性の良好なアクティブマトリクス基板を製造するとともに、画質の劣化のない優れた画質の液晶表示装置を低成本で製造することが可能となる。

実施例

以下図面にしたがって本発明の実施例を説明する。

実施例1

第1図は、本発明の第一の実施例を工程を追って図示したものである。

透光性基板1として例えばコーニング社製#7059ガラス基板上に、Cr等の導電体薄膜をスピッタリング法により被着し、所望のバーニングを施してゲート電極2とする(第1図(a))。プラズマCVD法により、ゲート絶縁体層3として

例えば窒化シリコン(以下SiN_xと略記する)、第一の不純物を殆ど含まない半導体層として4として例えば非晶質シリコン(以下a-Siと略記する)を1000Åの膜厚で堆積し、統いて不純物を含む第二の半導体層5として例えばリンをドープしたa-Si(以下n⁺-a-Siと略記する)を500Åの膜厚で連続して堆積後、ポジ型フォトレジスト6を塗着する(第1図(b))。レジストをプリベーク後、ゲート電極2をマスクとして透光性のガラス基板1の裏面より紫外光7を照射してレジストを感光させる。この裏面露光した基板を現像すると、ゲート電極1に対応する部分以外のレジストは除去される。レジストをポストベーク後、このレジストをマスクとして第一の半導体層4及び第二の半導体層5の露出部をエッチングにより除去する(第1図(c))。レジストを除去した後、例えばITO(Indium-Tin-Oxide)等の透明導電材料よりなる薄膜を被着し、バーニングして、ソース電極8、ドレイン電極9及び絵素電極10を一括して形成する(第1図(d))。そして最後

特開平3-116778(4)

にチャネル部の n^+ -a-Siをリアクティブ・ドライ・エッチング（以下RIEと略記する）で除去する（第1図(e)）。そして最後に、例えば平行平板型の電極をもつ容量結合型プラズマ装置で、ガスとして窒素を圧力100mTorr、流量100SCCMで流し、基板温度を250°Cに保持し、高周波(13.56MHz)電力300Wで60分間プラズマ放電することにより、半導体層表面を窒化し、半導体層表面に窒化シリコン11を形成してアクティブマトリクス基板が完成する（第1図(f)）。このときの窒化により、基板洗浄後のアニール（窒素雰囲気中で160°C、20分）の有無によるトランジスタ特性を第2図に示すが、OFF特性も殆ど差異の無いことが判る。

以上本実施例に示したように、半導体層表面を窒化することにより半導体層表面を安定化させることが可能となる。

なお、上記実施例では、ゲート電極2の材料としてCrとしたが、Ta、Ti、Mo、Ni、Ni-Cr合金やこれらの金属の珪化物等、TFT

のゲート電極の材料として使用されるものならばいずれも使用し得る。また、ゲート絶縁体層3の材料としては、窒化シリコン、酸化シリコンや金属酸化物なども用いられる。

また、第一、第二の半導体層の材料として、非晶質シリコンを使用したが、多結晶シリコンや再結晶化したシリコンを用いても問題ない。

さらに、絵素電極の材料としては、In₂O₃、SnO₂或いはこれらの混合物等の透明導電材料が使用できる。また、ソース電極及びドレイン電極と絵素電極とを同時に形成する場合には、ソース電極及びドレイン電極の材料として、In₂O₃、SnO₂或はこれらの混合物等の透明導電材料が使用できる。ソース電極及びドレイン電極と絵素電極とを別々に形成する場合には、ソース電極及びドレイン電極の材料としては、Al、Mo、Ta、Ti、Crやこれらの金属の珪化物などが使用できる。なお、この場合ソース及びドレイン電極は、単層のみならず複層で形成して冗長性を付加することができる。

また、ポジ型フォトレジストを塗布する前に、ヘキサメチルジシラザン(HMDS)等のレジストの密着増強材を使用すればレジストの密着性が向上する。

実施例2

本実施例は実施例1において半導体層表面を窒化ではなく、酸化したものであり特に図示はしない。

例えば、平行平板型の電極をもつプラズマ放電装置で、ガスとして酸素を圧力100mTorr、流量100SCCMで流し、基板温度を250°Cに保持し、高周波(13.55MHz)電力300Wで60分間プラズマ放電することにより酸化して、表面に酸化シリコンを形成した。

実施例3

第3図に、本発明の第三の実施例の断面図を示す。

まず、実施例1或は実施例2と同様にして、アクティブマトリクス基板を作成する。

上述のアクティブマトリクス基板と、対向透明

電極13を被覆した対向ガラス基板12上にポリイミドや酸化珪素等よりなる液晶の配向膜14を形成し、シール材15及びグラスファイバ等（図示せず）を介して貼りあわせ、液晶16を間に注入する。次に、対向ガラス基板12をマスクとして、ゲート電極2上の不要なゲート絶縁体層3を除去して、最後に偏光板17を両基板の前後に配置して液晶表示装置が完成する。

発明の効果

本発明のアクティブマトリクス基板の製造方法によれば、低コストにもかかわらず、完成したトランジスタのOFF電流が小さく、しかも安定化するので、アクティブマトリクス型液晶表示装置の画質を悪化させることが無い。従って、その産業上の意義は極めて高い。

4. 図面の簡単な説明

第1図は本発明の第1の実施例におけるアクティブマトリクス基板の製造方法を示す工程図、第2図は従来の方法で作成したトランジスタを洗浄後160°C、20分のアニールの有無によるトランジ

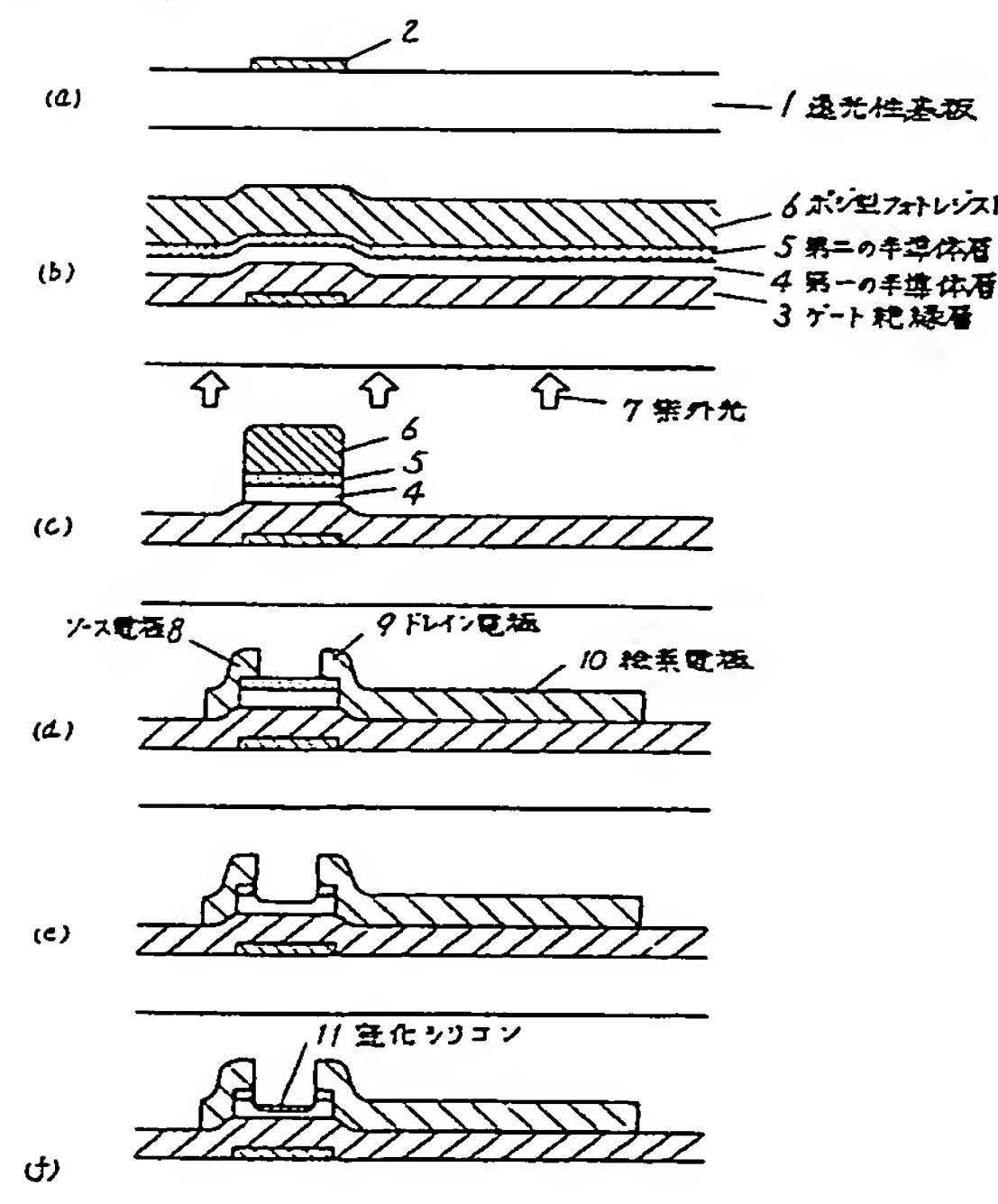
特開平3-116778(5)

第 1 図、第 3 図は本発明の第 1 或は第 2 の実施例で得られるアクティブマトリクス基板を用いた液晶表示装置の断面図、第 4 図は従来のアクティブマトリクス基板の概略平面図、第 5 図は従来のアクティブマトリクス基板で構成されたアクティブマトリクス型液晶表示装置の概略断面図、第 6 図は同装置の等価回路図、第 7 図は本発明の第 1 の実施例におけるアクティブマトリクス基板の製造方法を示す工程図、第 8 図は従来の方法で作成したトランジスタを洗浄後 160°C、20 分のアニールの有無によるトランジスタ特性図である。

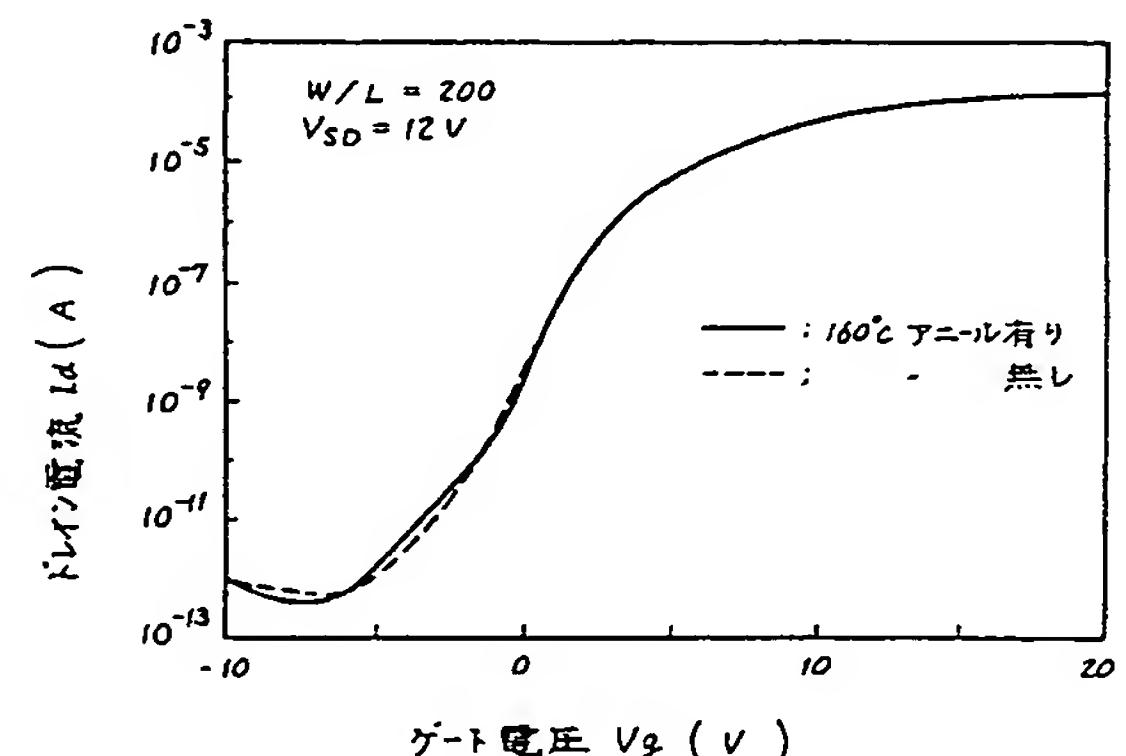
1 ……透光性基板（ガラス基板）、2 ……ゲート電極（Cr）、3 ……ゲート絶縁層（SiN_x）、4 ……第一の半導体層（i-a-Si）、5 ……第二の半導体層（n⁺-a-Si）、6 ……ポジ型フォトレジスト、7 ……紫外光、8 ……ソース電極、9 ……ドレイン電極、10 ……給素電極、11 ……プラズマ窒化により形成された窒化シリコン、12 ……対向ガラス基板、13 ……対向透明電極、14 ……配向膜、15 ……シール材、16 ……液晶、17 ……偏光板、18 ……薄膜トランジスタ（TFT）、19 ……液晶セル、20 ……走査信号線、21 ……映像信号線。

代理人の氏名 弁理士 萩野重孝 ほか 1 名

第 1 図

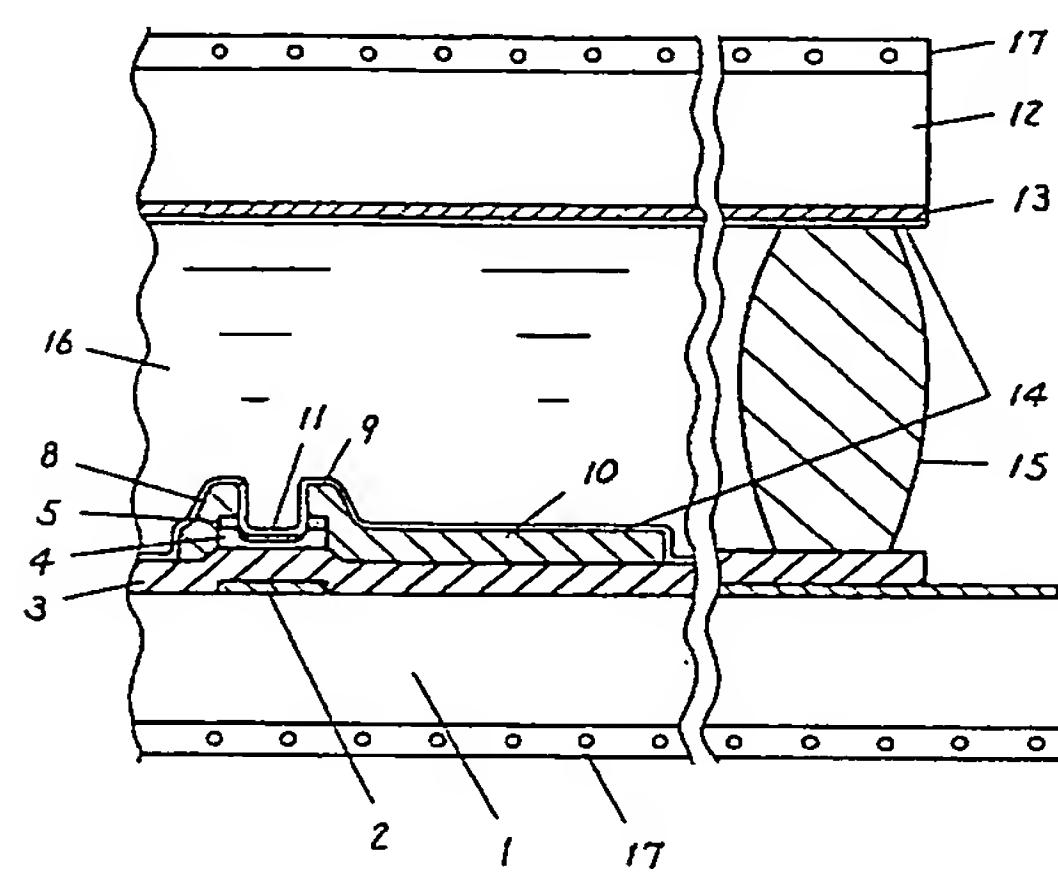


第 2 図

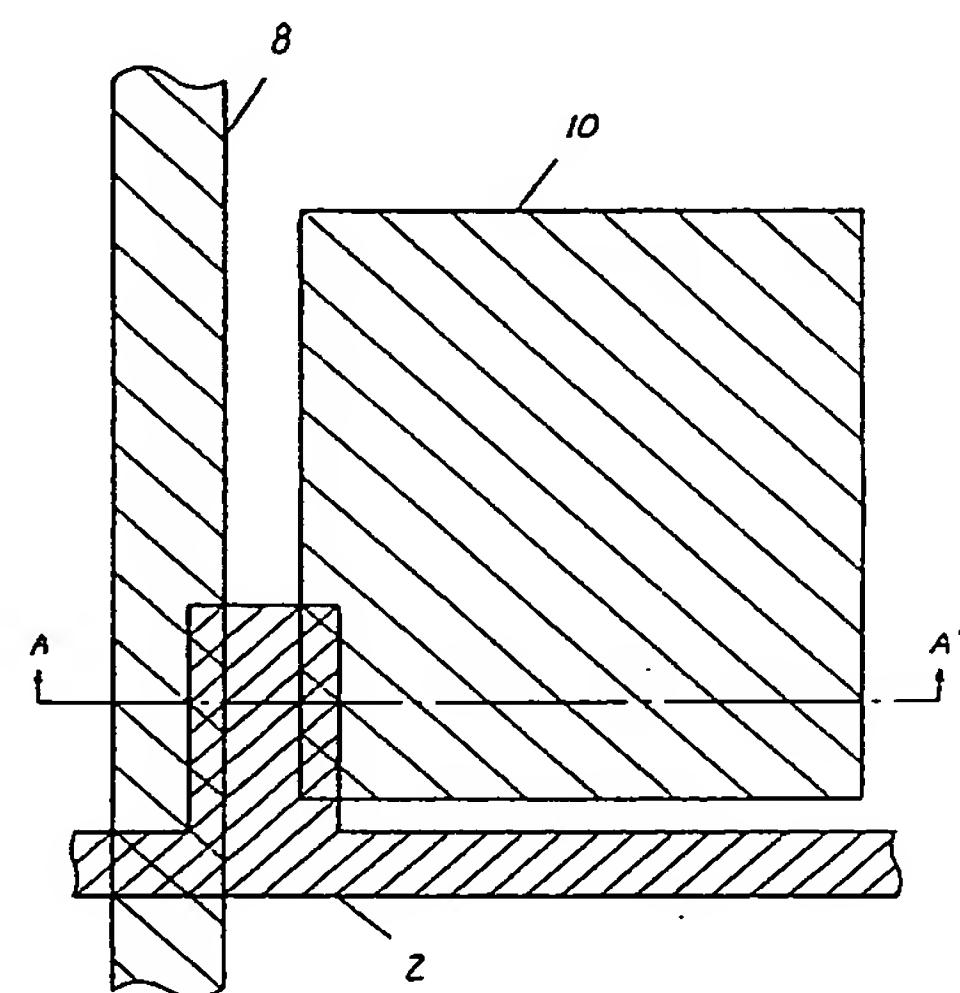


特開平3-116778 (6)

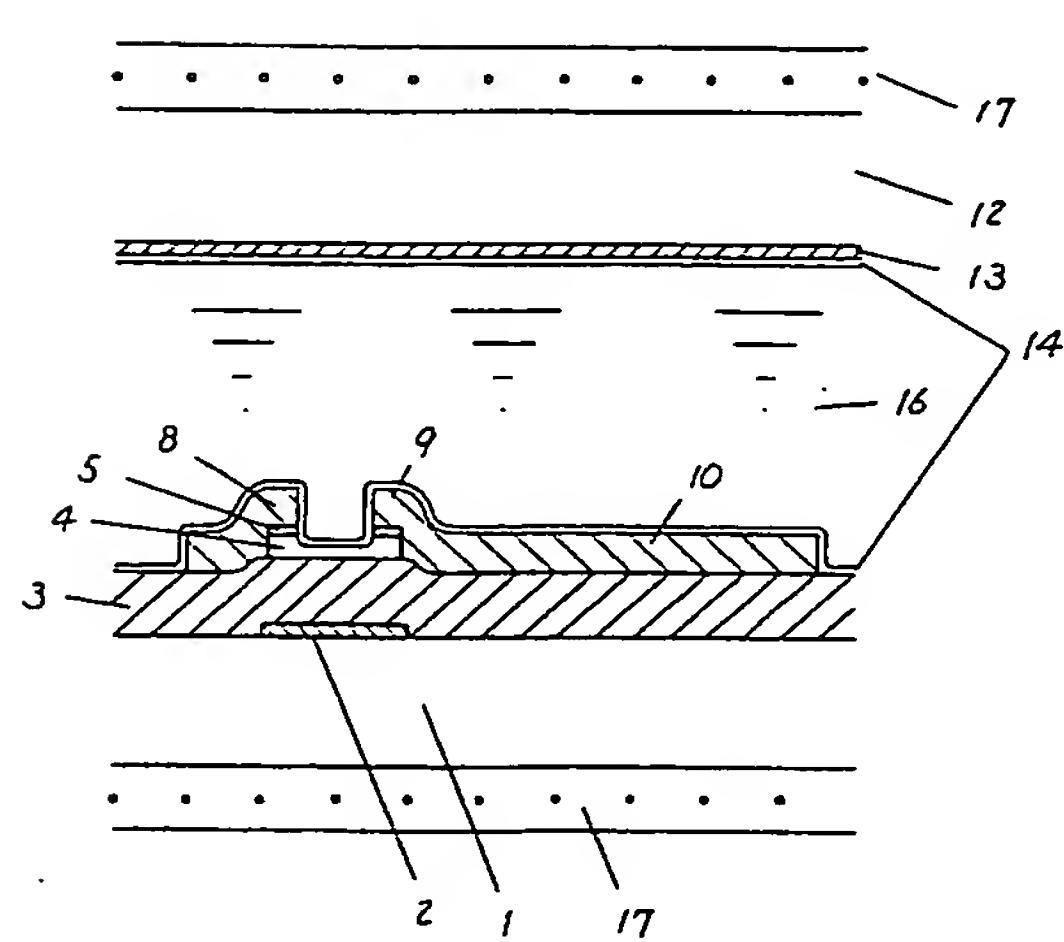
第3図



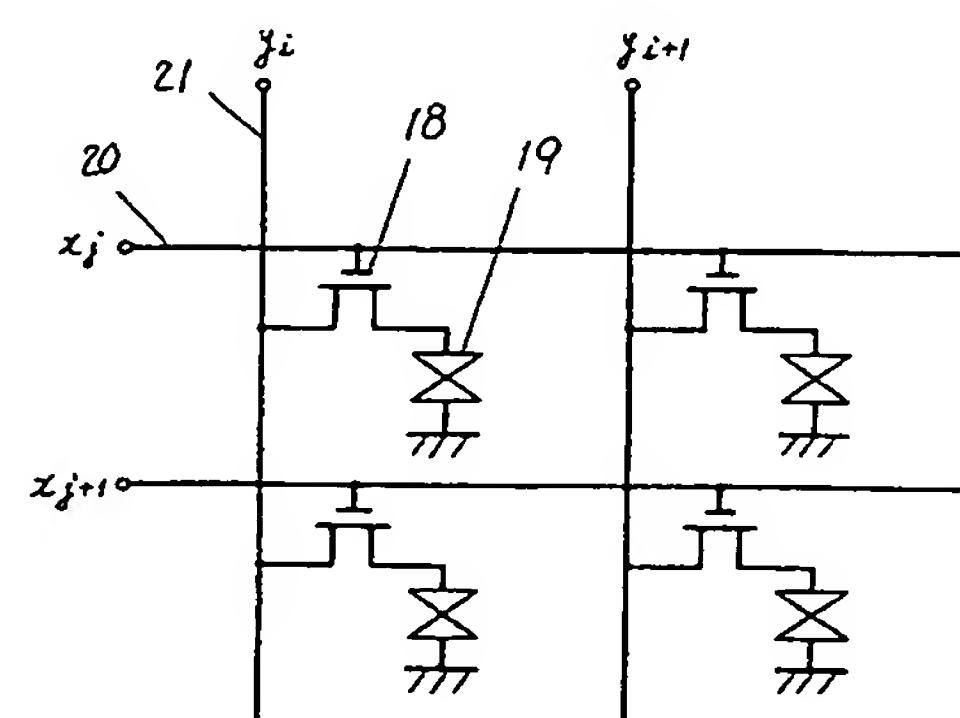
第4図



第5図

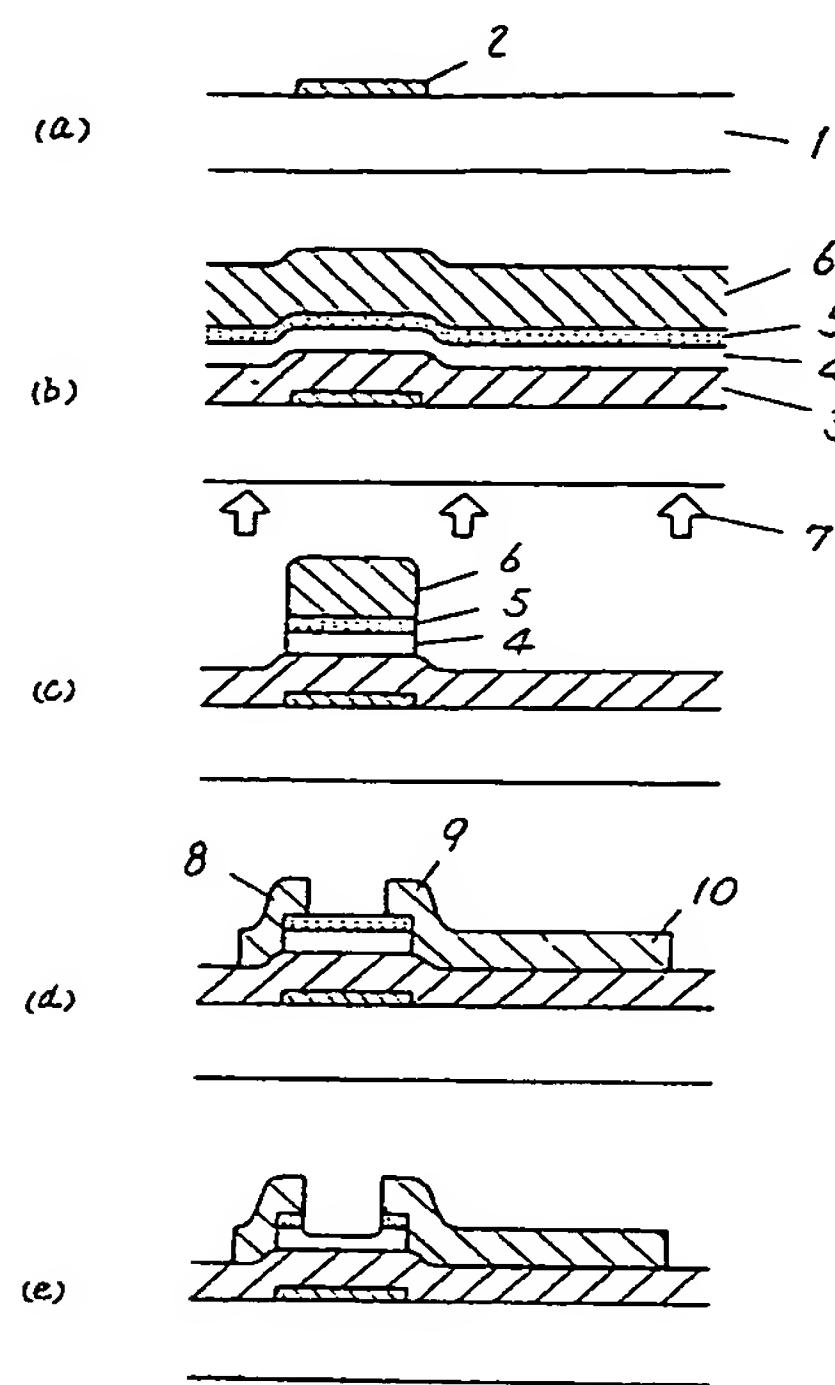


第6図



特開平3-116778 (7)

第 7 図



第 8 図

